

PAT-NO: JP02002148639A  
DOCUMENT-IDENTIFIER: JP 2002148639 A  
TITLE: ACTIVE MATRIX TYPE LIQUID CRYSTAL DISPLAY  
ELEMENT  
PUBN-DATE: May 22, 2002

INVENTOR-INFORMATION:

NAME	COUNTRY
ONAKA, EIICHI	N/A
YOSHINO, MASAO	N/A

ASSIGNEE-INFORMATION:

NAME	COUNTRY
CASIO COMPUT CO LTD	N/A

APPL-NO: JP2000344798

APPL-DATE: November 13, 2000

INT-CL (IPC): G02F001/1339, G02F001/1368 , G09F009/30 , H01L029/786  
 , H01L021/336

ABSTRACT:

PROBLEM TO BE SOLVED: To reduce a size of an active matrix type liquid crystal display element.

SOLUTION: An active matrix substrate 1 and a counter substrate 2 are stuck to each other through an almost rectangular frame shaped sealing material 23. The sealing material 3 is arranged in a position overlapping electrostatic protective elements 12, 13 and a short-circuit line 11. Consequently the size of the liquid crystal display element is made smaller compared with that of arranging the sealing material 3 outside the electrostatic protective elements 12, 13 and the short-circuit line 11. Spherical spacers composed of

silica are  
mixed in the sealing material 3 and spherical spacers composed of a  
resin are  
disposed between both substrates 1, 2 inside the sealing material 3.  
By this  
arrangement, thin film transistors 6 are obtained and the  
electrostatic  
protective elements 12, 13 are hardly destructed and gap control is  
made  
certain even when a pressure is applied for sticking both substrates  
1, 2.

COPYRIGHT: (C) 2002, JPO

(19)日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-148639

(P2002-148639A)

(43)公開日 平成14年5月22日(2002.5.22)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テームコード*(参考)
G 0 2 F 1/1339	5 0 5	G 0 2 F 1/1339	5 0 5 2 H 0 8 9
	5 0 0		5 0 0 2 H 0 9 2
1/1368		G 0 9 F 9/30	3 3 8 5 C 0 9 4
G 0 9 F 9/30	3 3 8	G 0 2 F 1/136	5 0 0 5 F 1 1 0
H 0 1 L 29/786		H 0 1 L 29/78	6 1 2 D

審査請求 未請求 請求項の数13 O L (全 9 頁) 最終頁に続く

(21)出願番号 特願2000-344798(P2000-344798)

(22)出願日 平成12年11月13日(2000.11.13)

(71)出願人 000001443

カシオ計算機株式会社

東京都渋谷区本町1丁目6番2号

(72)発明者 尾中 栄一

東京都八王子市石川町2951番地の5 カシ  
オ計算機株式会社八王子研究所内

(72)発明者 吉野 正雄

東京都八王子市石川町2951番地の5 カシ  
オ計算機株式会社八王子研究所内

(74)代理人 100073221

弁理士 花輪 義男

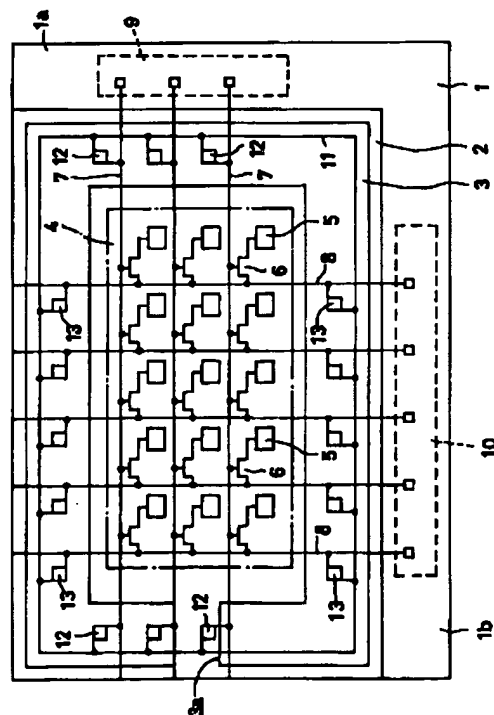
最終頁に続く

(54)【発明の名称】 アクティブマトリックス型液晶表示素子

(57)【要約】

【課題】 アクティブマトリックス型液晶表示素子のサイズを小さくする。

【解決手段】 アクティブマトリックス基板1と対向基板2とは、ほぼ方形棒状のシール材23を介して貼り合わされている。シール材3は、静電保護素子12、13および短絡ライン11と重なる位置に設けられている。したがって、シール材3を静電保護素子12、13および短絡ライン11の外側に配置する場合と比較して、液晶表示素子のサイズを小さくすることができる。この場合、シール材3中には、シリカからなる球状のスペーサが混入され、シール材3の内側における両基板1、2間には、樹脂からなる球状のスペーサが介在されている。これは、両基板1、2を貼り合わせる際の圧力が加わっても、薄膜トランジスタ6および静電保護素子12、13が破壊されにくく、且つ、ギャップの制御をより一層確実とするためである。



## 【特許請求の範囲】

【請求項1】 表示領域に複数の画素電極およびこれらの画素電極にそれぞれ接続されたスイッチング素子がマトリックス状に設けられ、前記表示領域の外側に複数の静電保護素子が前記スイッチング素子にそれぞれ接続されて設けられたアクティブマトリックス基板と、前記画素電極に対向する対向電極が設けられた対向基板とが枠状のシール材を介して貼り合わされ、前記シール材の内側における前記両基板間に液晶が封入されたアクティブマトリックス型液晶表示素子において、前記シール材は前記静電保護素子の少なくとも一部と重なる位置に設けられ、前記シール材中に、当初の径が $5\mu\text{m}$ 程度で荷重が $0.2\text{gf}$ 程度であるとき変形量が $0.12\sim 0.5\mu\text{m}$ 程度である圧縮特性を有する材料からなる球状のスペーサが混入されていることを特徴とするアクティブマトリックス型液晶表示素子。

【請求項2】 請求項1に記載の発明において、前記シール材は前記静電保護素子の全てと重なる位置に設けられていることを特徴とするアクティブマトリックス型液晶表示素子。

【請求項3】 請求項1または2に記載の発明において、前記シール材は、前記静電保護素子の全てに接続されたリング状の短絡ラインと重なる位置に設けられていることを特徴とするアクティブマトリックス型液晶表示素子。

【請求項4】 請求項1～3のいずれかに記載の発明において、前記アクティブマトリックス基板の前記表示領域の外側に内蔵型のスイッチング素子制御回路部が前記スイッチング素子に接続されて設けられ、前記シール材は前記スイッチング素子制御回路部の少なくとも一部と重なる位置に設けられていることを特徴とするアクティブマトリックス型液晶表示素子。

【請求項5】 表示領域に複数の画素電極およびこれらの画素電極にそれぞれ接続されたスイッチング素子がマトリックス状に設けられ、前記表示領域の外側に内蔵型のスイッチング素子制御回路部が前記スイッチング素子に接続されて設けられたアクティブマトリックス基板と、前記画素電極に対向する対向電極が設けられた対向基板とが枠状のシール材を介して貼り合わされ、前記シール材の内側における前記両基板間に液晶が封入されたアクティブマトリックス型液晶表示素子において、前記シール材は前記スイッチング素子制御回路部の少なくとも一部と重なる位置に設けられ、前記シール材中に、当初の径が $5\mu\text{m}$ 程度で荷重が $0.2\text{gf}$ 程度であるとき変形量が $0.12\sim 0.5\mu\text{m}$ 程度である圧縮特性を有する材料からなる球状のスペーサが混入されていることを特徴とするアクティブマトリックス型液晶表示素子。

【請求項6】 請求項4または5に記載の発明において、前記シール材は前記スイッチング素子制御回路部の全てと重なる位置に設けられていることを特徴とするア

クティブマトリックス型液晶表示素子。

【請求項7】 請求項1～6のいずれかに記載の発明において、前記スペーサは、当初の径が $5\mu\text{m}$ 程度で荷重が $0.2\text{gf}$ 程度であるとき変形量が $0.165\sim 0.209\mu\text{m}$ 程度である圧縮特性を有する材料からなることを特徴とするアクティブマトリックス型液晶表示素子。

【請求項8】 請求項1～7のいずれかに記載の発明において、前記スペーサはシリカからなることを特徴とするアクティブマトリックス型液晶表示素子。

【請求項9】 請求項1～8のいずれかに記載の発明において、前記シール材の内側における前記両基板間に樹脂からなる球状のスペーサが介在されていることを特徴とするアクティブマトリックス型液晶表示素子。

【請求項10】 画素電極およびスイッチング素子を有するアクティブマトリックス基板と、対向基板とが枠状のシール材を介して貼り合わされ、前記シール材下に薄膜トランジスタが形成されると共に前記シール材の内側における前記両基板間に液晶が封入されたアクティブマトリックス型液晶表示素子において、前記シール材中にシリカからなるスペーサが混入されていることを特徴とするアクティブマトリックス型液晶表示素子。

【請求項11】 請求項10に記載の発明において、前記シール材中に樹脂スペーサが混入されていることを特徴とするアクティブマトリックス型液晶表示素子。

【請求項12】 請求項10または11に記載の発明において、前記液晶が封入された前記両基板間に樹脂スペーサが分散されていることを特徴とするアクティブマトリックス型液晶表示素子。

【請求項13】 請求項10～12のいずれかに記載の発明において、前記スペーサは直径が $3\sim 10\mu\text{m}$ であることを特徴とするアクティブマトリックス型液晶表示素子。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明はアクティブマトリックス型液晶表示素子に関する。

【0002】

【従来の技術】アクティブマトリックス型液晶表示素子には、静電気を帯びた人体や他の物体と接触しても、薄膜トランジスタ（スイッチング素子）が静電破壊しないようにするために、静電対策を施したものがある。

【0003】図6は従来のこのようなアクティブマトリックス型液晶表示素子の一部の等価回路の透過平面図を示したものである。この液晶表示素子は、アクティブマトリックス基板1と対向基板2とがほぼ方形枠状のシール材3を介して貼り合わされ、シール材3の内側における両基板1、2間に液晶（図示せず）が封入されたものからなっている。この場合、アクティブマトリックス基板1の右辺部および下辺部は対向基板2から突出されて

いる。以下、これらの突出部を右辺突出部1aおよび下辺突出部1bという。また、シール材3は、一点鎖線で示す表示領域4の外側に配置されている。

【0004】アクティブマトリクス基板1上の表示領域4には、複数の画素電極5およびこれらの画素電極5にそれぞれ接続された薄膜トランジスタ6がマトリクス状に設けられている。また、アクティブマトリクス基板1上の表示領域4およびその外側には、薄膜トランジスタ6に走査信号を供給するための複数の走査ライン7が行方向に延ばされて設けられているとともに、薄膜トランジスタ6にデータ信号を供給するための複数のデータライン8が列方向に延ばされて設けられている。

【0005】この場合、走査ライン7の右端部は、アクティブマトリクス基板1の右辺突出部1a上の点線で示す半導体チップ搭載領域9内まで延ばされている。走査ライン7の左端部は、アクティブマトリクス基板1の左端縁まで延ばされている。データライン8の下端部は、アクティブマトリクス基板1の下辺突出部1b上の点線で示す半導体チップ搭載領域10内まで延ばされている。データライン8の上端部は、アクティブマトリクス基板1の上端縁まで延ばされている。

【0006】さらに、アクティブマトリクス基板1上の表示領域4の外側においてシール材3配置領域の内側には、リング状の短絡ライン11が設けられている。そして、アクティブマトリクス基板1上の表示領域4の外側において短絡ライン11の左辺部の右側および右辺部の左側には、それぞれ、複数の静電保護素子12が短絡ライン11および各走査ライン7に接続されて設けられている。また、アクティブマトリクス基板1上の表示領域4の外側において短絡ライン11の上辺部の下側および下辺部の上側には、それぞれ、複数の静電保護素子13が短絡ライン11および各データライン8に接続されて設けられている。

【0007】次に、このアクティブマトリクス型液晶表示素子における静電対策について簡単に説明する。例えば、アクティブマトリクス基板1の左端面あるいは上端面に外部から静電気が帯電すると、静電保護素子12、13が導通し、短絡ライン11、全ての走査ライン7および全てのデータライン8が同電位となり、これにより薄膜トランジスタ6が静電破壊しないようにすることができる。

【0008】次に、このアクティブマトリクス型液晶表示素子の一部（薄膜トランジスタ6および静電保護素子12、13）の具体的な構造について図7を参照して説明する。薄膜トランジスタ6は、アクティブマトリクス基板1の上面に設けられたゲート電極21と、その上面に設けられたゲート絶縁膜22と、ゲート絶縁膜22の上面に設けられた真性アモルファスシリコンからなる半導体薄膜23と、半導体薄膜23の上面中央部に設けられたブロッキング層24と、ブロッキング層24の

上面両側およびその両側の半導体薄膜23の上面に設けられたn型アモルファスシリコンからなるコンタクト層25、26と、コンタクト層25、26の上面に設けられたソース電極27およびドレイン電極28とからなっている。この場合、ソース電極27は、ゲート絶縁膜22の上面に設けられた画素電極5に接続されている。

【0009】静電保護素子12、13は、ゲート絶縁膜22の上面に設けられた真性アモルファスシリコンからなる半導体薄膜31と、半導体薄膜31の上面中央部に設けられたブロッキング層32と、ブロッキング層32の上面両側およびその両側の半導体薄膜31の上面に設けられたn型アモルファスシリコンからなるコンタクト層33、34と、コンタクト層33、34の上面に設けられた一方の接続電極35および他方の接続電極36とからなっている。この場合、一方の接続電極35は短絡ライン11に接続され、他方の接続電極36は走査ライン7またはデータライン8に接続されている。

【0010】次に、このアクティブマトリクス型液晶表示素子の他の一部の具体的な構造について図8を参照して説明する。アクティブマトリクス基板1上のシール材3配置領域の内側には配向膜41が画素電極5、データライン8、静電保護素子12、13などを覆うように設けられている。対向基板2の下面にはブラックマスク42、カラーフィルタ（図示せず）、対向電極43、配向膜44が設けられている。そして、両基板1、2は、直径3～10μm、長さ100μm程度のグラスファイバからなる円柱状のスペーサ45が混入されたシール材3を介して貼り合わされ、その間には液晶46が封入されている。この場合、両基板1、2の配向膜41、44間には樹脂からなる直径3～10μmの球状のスペーサ47が介在されている。

【0011】ここで、スペーサ45、47の材料が異なる理由について説明する。配向膜41、44間に介在されたスペーサ47の材料をグラスファイバとした場合、殆ど弾性変形しないので、薄膜トランジスタ6や静電保護素子12、13上に配置されると、両基板1、2を貼り合わせる際の圧力が加わったとき、薄膜トランジスタ6や静電保護素子12、13が押しつぶされて破壊されることがある。そこで、このスペーサ47を、弾性変形可能な樹脂によって形成している。一方、シール材3中に混入されたスペーサ45は、薄膜トランジスタ6や静電保護素子12、13上に配置されることはないので、ギャップの制御をより一層確実とするために、弾性変形しないグラスファイバによって形成している。

【0012】

【発明が解決しようとする課題】ところで、上記従来のアクティブマトリクス型液晶表示素子では、表示領域4とシール材3配置領域との間に静電保護素子12、13および短絡ライン11を設けているので、表示領域4とシール材3配置領域との間隔が大きくなり、ひいては

10

20

30

40

50

液晶表示素子のサイズが大きくなってしまいう問題があった。この発明の課題は、液晶表示素子のサイズを小さくすることである。

#### 【0013】

【課題を解決するための手段】請求項1に記載の発明は、表示領域に複数の画素電極およびこれらの画素電極にそれぞれ接続されたスイッチング素子がマトリックス状に設けられ、前記表示領域の外側に複数の静電保護素子が前記スイッチング素子にそれぞれ接続されて設けられたアクティブマトリックス基板と、前記画素電極に対向する対向電極が設けられた対向基板とが枠状のシール材を介して貼り合わされ、前記シール材の内側における前記両基板間に液晶が封入されたアクティブマトリックス型液晶表示素子において、前記シール材を前記静電保護素子の少なくとも一部と重なる位置に設け、前記シール材中に、当初の径が $5\mu\text{m}$ 程度で荷重が $0.2\text{gf}$ 程度であるとき変形量が $0.12\sim 0.5\mu\text{m}$ 程度である圧縮特性を有する材料からなる球状のスペーサを混入させたものである。請求項2に記載の発明は、請求項1に記載の発明において、前記シール材を前記静電保護素子の全てと重なる位置に設けたものである。請求項3に記載の発明は、請求項1または2に記載の発明において、前記シール材を、前記静電保護素子の全てに接続されたリング状の短絡ラインと重なる位置に設けたものである。請求項4に記載の発明は、請求項1～3のいずれかに記載の発明において、前記アクティブマトリックス基板の前記表示領域の外側に内蔵型のスイッチング素子制御回路部が前記スイッチング素子に接続されて設けられ、前記シール材を前記スイッチング素子制御回路部の少なくとも一部と重なる位置に設けたものである。請求項5に記載の発明は、表示領域に複数の画素電極およびこれらの画素電極にそれぞれ接続されたスイッチング素子がマトリックス状に設けられ、前記表示領域の外側に内蔵型のスイッチング素子制御回路部が前記スイッチング素子に接続されて設けられたアクティブマトリックス基板と、前記画素電極に対向する対向電極が設けられた対向基板とが枠状のシール材を介して貼り合わされ、前記シール材の内側における前記両基板間に液晶が封入されたアクティブマトリックス型液晶表示素子において、前記シール材を前記スイッチング素子制御回路部の少なくとも一部と重なる位置に設け、前記シール材中に、当初の径が $5\mu\text{m}$ 程度で荷重が $0.2\text{gf}$ 程度であるとき変形量が $0.12\sim 0.5\mu\text{m}$ 程度である圧縮特性を有する材料からなる球状のスペーサを混入させたものである。請求項6に記載の発明は、請求項4または5に記載の発明において、前記シール材を前記スイッチング素子制御回路部の全てと重なる位置に設けたものである。請求項7に記載の発明は、請求項1～6のいずれかに記載の発明において、前記スペーサを、当初の径が $5\mu\text{m}$ 程度で荷重が $0.2\text{gf}$ 程度であるとき変形量が $0.16$

$5\sim 0.209$ 程度である圧縮特性を有する材料によって形成したものである。請求項8に記載の発明は、請求項1～7のいずれかに記載の発明において、前記スペーサをシリカによって形成したものである。請求項9に記載の発明は、請求項1～8のいずれかに記載の発明において、前記シール材の内側における前記両基板間に樹脂からなる球状のスペーサを介在させたものである。請求項10に記載の発明は、画素電極およびスイッチング素子を有するアクティブマトリックス基板と、対向基板とが枠状のシール材を介して貼り合わされ、前記シール材下に薄膜トランジスタが形成されると共に前記シール材の内側における前記両基板間に液晶が封入されたアクティブマトリックス型液晶表示素子において、前記シール材中にシリカからなるスペーサを混入させたものである。請求項11に記載の発明は、請求項10に記載の発明において、前記シール材中に樹脂スペーサを混入させたものである。請求項12に記載の発明は、請求項10または11に記載の発明において、前記液晶が封入された前記両基板間に樹脂スペーサを分散させたものである。請求項13に記載の発明は、請求項10～12のいずれかに記載の発明において、前記スペーサの直径を $3\sim 10\mu\text{m}$ としたものである。そして、請求項1に記載の発明によれば、シール材を静電保護素子の少なくとも一部と重なる位置に設けているので、液晶表示素子のサイズを小さくすることができる。この場合、シール材中に、ある圧縮特性を有する材料からなる球状のスペーサを混入させているのは、両基板を貼り合わせる際の圧力が加わっても、シール材と重ねられた静電保護素子が押しつぶされにくく破壊されにくいようにするためである。また、請求項5に記載の発明によれば、シール材を内蔵型のスイッチング素子制御回路部の少なくとも一部と重なる位置に設けているので、液晶表示素子のサイズを小さくすることができる。この場合、シール材中に、ある圧縮特性を有する材料からなる球状のスペーサを混入させているのは、両基板を貼り合わせる際の圧力が加わっても、シール材と重ねられた内蔵型のスイッチング素子制御回路部が押しつぶされにくく破壊されにくいようにするためである。

#### 【0014】

【発明の実施の形態】（第1実施形態）図1はこの発明の第1実施形態におけるアクティブマトリックス型液晶表示素子の一部の等価回路的透過平面図を示したものである。この図において、説明の便宜上、図6と同一名称部分には同一の符号を付して説明する。この液晶表示素子は、アクティブマトリックス基板1と対向基板2とがほぼ方形枠状のシール材3を介して貼り合わされ、シール材3の内側における両基板1、2間に液晶（図示せず）が封入されたものからなっている。この場合、アクティブマトリックス基板1の右辺部および下辺部は対向基板2から突出されている。以下、これらの突出部を右

辺突出部1aおよび下辺突出部1bという。また、シール材3は、一点鎖線で示す表示領域4の外側に配置されている。

【0015】アクティブマトリックス基板1上の表示領域4には、複数の画素電極5およびこれらの画素電極5にそれぞれ接続された薄膜トランジスタ6がマトリックス状に設けられている。また、アクティブマトリックス基板1上の表示領域4およびその外側には、薄膜トランジスタ6に走査信号を供給するための複数の走査ライン7が行方向に延ばされて設けられているとともに、薄膜トランジスタ6にデータ信号を供給するための複数のデータライン8が列方向に延ばされて設けられている。

【0016】この場合、走査ライン7の右端部は、アクティブマトリックス基板1の右辺突出部1a上の点線で示す半導体チップ搭載領域9内まで延ばされている。走査ライン7の左端部は、アクティブマトリックス基板1の左端縁まで延ばされている。データライン8の下端部は、アクティブマトリックス基板1の下辺突出部1b上の点線で示す半導体チップ搭載領域10内まで延ばされている。データライン8の上端部は、アクティブマトリックス基板1の上端縁まで延ばされている。

【0017】さらに、アクティブマトリックス基板1上のシール材3配置領域には、リング状の短絡ライン11が設けられている。そして、アクティブマトリックス基板1上のシール材3配置領域において短絡ライン11の左辺部の右側および右辺部の左側には、それぞれ、複数の静電保護素子12が短絡ライン11および各走査ライン7に接続されて設けられている。また、アクティブマトリックス基板1上のシール材3配置領域において短絡ライン11の上辺部の下側および下辺部の上側には、それぞれ、複数の静電保護素子13が短絡ライン11および各データライン8に接続されて設けられている。

【0018】次に、このアクティブマトリックス型液晶表示素子の一部の具体的な構造について図2を参照して説明する。この図においても、説明の便宜上、図8と同一名称部分には同一の符号を付して説明する。アクティブマトリックス基板1上のシール材3配置領域の内側には配向膜41が画素電極5、データライン8などを覆うように設けられている。この場合、静電保護素子12、13は、配向膜41の外側つまりシール材3配置領域に配置されている。対向基板2の下面にはブラックマスク42、カラーフィルタ(図示せず)、対向電極43、配向膜44が設けられている。

【0019】そして、両基板1、2は、シリカからなる直径3~10 $\mu\text{m}$ の球状のスペーサ45が混入されたシール材3を介して貼り合わされ、その間には液晶46が封入されている。この場合、図1にも示すように、シール材3(ただし、その液晶注入口3aの部分を含む。)は、静電保護素子12、13の全ておよび短絡ライン11と重なる位置に設けられている。また、両基板1、2

の配向膜41、44間には、樹脂からなる直径3~10 $\mu\text{m}$ の球状のスペーサ17が介在されている。

【0020】このように、この液晶表示素子では、シール材3を静電保護素子12、13の全ておよび短絡ライン11と重なる位置に設けているので、シール材3配置領域と表示領域4との間隔を可及的に小さくすることができ、ひいては液晶表示素子のサイズを小さくすることができる。

【0021】また、シール材3中には、シリカからなる球状のスペーサ45を混入しているもので、両基板1、2を貼り合わせる際の圧力が加わっても、静電保護素子12、13が押しつぶされにくく破壊されにくいようにすることができる。すなわち、シール材3中のスペーサ45が、従来の如く、長さ100 $\mu\text{m}$ 程度のグラスファイバからなる円柱状のものであると、厚さ方向にグラスファイバが2個以上重なって配置されることがある。このような場合には、両基板1、2を貼り合わせるとき、グラスファイバが静電保護素子12、13を押しつぶして破壊してしまうことがある。これに対し、シール材3中のスペーサ45がシリカからなる球状のものであると、2個以上重なって配置されることはほとんどない上、シリカはグラスファイバよりも変形しやすい。したがって、両基板1、2を貼り合わせる際の圧力が加わっても、静電保護素子12、13が押しつぶされにくく破壊されにくいようにすることができる。一方、シール材3中のスペーサ45の材質が樹脂よりも変形しにくいシリカであるので、樹脂からなるものと比較して、ギャップの制御をより一層確実とすることができる。

【0022】なお、シール材3は、図1における4辺のうち少なくともいずれか1辺における、静電保護素子12、13および短絡ライン11と重なる位置に設けるようにしてもよい。このようにしても、図6に示す従来の場合と比較して、液晶表示素子のサイズを小さくすることができる。

【0023】(第2実施形態)図3はこの発明の第2実施形態におけるアクティブマトリックス型液晶表示素子の一部の等価回路的透過平面図を示し、図4はその一部の断面図を示したものである。これらの図において、図1および図2と同一名称部分には同一の符号を付し、その説明を適宜省略する。この液晶表示素子では、アクティブマトリックス基板1の下辺部のみが対向基板2から突出され、この下辺突出部1bの上面に図示しない外部接続端子が設けられている。また、アクティブマトリックス基板1の対向基板2と対向する領域における右辺部上および下辺部上には、薄膜トランジスタ6を制御する内蔵型の回路部としての、走査信号制御回路部51およびデータ信号制御回路部52が設けられている。走査信号制御回路部51およびデータ信号制御回路部52は薄膜トランジスタから構成されるシフトレジスタを含むものである。この場合、走査信号制御回路部51およびデ

ータ信号制御回路部52に含まれる薄膜トランジスタは、平面寸法は異なるものの、薄膜トランジスタ6と同一のプロセスで形成される。

【0024】そして、シリカからなる球状のスペーサ45が混入されたシール材3（ただし、その液晶注入部3aの部分を含む。）は、図3において左辺部に設けられた静電保護素子12、上辺部に設けられた静電保護素子13、右辺部に設けられた走査信号制御回路部51、下辺部に設けられたデータ信号制御回路部52および短絡ライン11と重なる位置に設けられている。

【0025】このように、この液晶表示素子では、シール材3を内蔵型の走査信号制御回路部51およびデータ信号制御回路部52と重なる位置に設けているので、内蔵型の走査信号制御回路部51およびデータ信号制御回路部52をシール材3の外側に設ける場合と比較して、液晶表示素子のサイズを小さくすることができる。また、シール材3中には、シリカからなる球状のスペーサ45を混入しているため、両基板1、2を貼り合わせる際の圧力が加わっても、内蔵型の走査信号制御回路部51およびデータ信号制御回路部52が押しつぶされにくく破壊されにくいようにすることができる。

【0026】なお、シール材3は、図3において右辺部に設けられた静電保護素子12および下辺部に設けられた静電保護素子13とも重なる位置に設けるようにしてもよい。また、シール材3は、走査信号制御回路部51とデータ信号制御回路部52とのうちいずれか一方と重なる位置に設けるようにしてもよい。

【0027】ここで、実験結果について説明する。シリカからなる球状のスペーサとして、圧縮特性が異なる4種類のものを用意した（以下、シリカスペーサ1～4という。）。また、比較のために、ガラスファイバからなる円柱状のスペーサ（以下、ガラスファイバスペーサという。）および樹脂からなる球状のスペーサ（以下、樹脂スペーサという。）を用意した。シリカスペーサ1～4、ガラスファイバスペーサおよび樹脂スペーサの当初の径は5μm程度である。

【0028】そして、シリカスペーサ1～4、ガラスファイバスペーサおよび樹脂スペーサの圧縮特性つまり荷重と変形量との関係について調べたところ、図5に示す結果が得られた。この図から明らかなように、変形量は、ガラスファイバスペーサ、シリカスペーサ1～4、樹脂スペーサの順で大きくなっている。通常、両基板1、2をシール材3を介して貼り合わせる状態におけるスペーサ1個当たりの荷重は0.2gf程度とされているので、この程度の荷重に対する変形量が重要である。そこで、荷重が0.2gfにおけるガラスファイバスペーサ、シリカスペーサ1～4および樹脂スペーサの変形量をみると、それぞれ、0.096μm、0.12μm、0.165μm、0.209μm、0.5μm、0.713μmである。

【0029】上記試料にて、シール材下に配置された静電保護素子12、13や薄膜トランジスタの破壊の確率を比較した結果、ガラスファイバスペーサの場合には歩留まりが約70%であったのに対し、シリカスペーサ1～4および樹脂スペーサでは、いずれも歩留まりが95%以上に向上した。特に、シリカスペーサ2～4および樹脂スペーサでは、歩留まりが実質的に100%であった。しかし、樹脂スペーサの場合には、アクティブマトリックス基板1と対向基板2を貼り合わせた際の両基板間のギャップのばらつきが大きく好ましくない。また、シリカスペーサ4の場合にも、荷重が0.2gfのときの変形量が0.5μmと比較的大きい点に多少難点がある。

【0030】以上を要約すると、シール材3中に混入するスペーサとしては、静電保護素子12、13を破壊せず、且つ、ギャップの制御をより一層確実にするためには、シリカスペーサ1～4が好ましく、換言すれば、荷重が0.2gf程度であるとき変形量が0.12～0.5μm程度である圧縮特性を有するものが好ましい。ただし、ガラスファイバスペーサに近い圧縮特性を有するシリカスペーサ1および樹脂スペーサに近い圧縮特性を有するシリカスペーサ4はどちらかといえばあまり好ましくなく、シリカスペーサ2、3がより一層好ましく、換言すれば、荷重が0.2gf程度であるとき変形量が0.165～0.209μm程度である圧縮特性を有するものがより一層好ましい。

【0031】なお、上記各実施形態では、短絡ライン11の内側に静電保護素子12、13を設けた場合について説明したが、これに限らず、短絡ライン11の外側に静電保護素子12、13を設けるようにしてもよい。また、上記各実施形態では、静電保護素子12、13として、図7に示すような容量型のものを用いた場合について説明したが、これに限らず、薄膜トランジスタや薄膜抵抗などを用いるようにしてもよい。さらに、上記各実施形態では、スイッチング素子として薄膜トランジスタを用いた場合について説明したが、これに限らず、MIM素子、MOSトランジスタ、ダイオード、バリスタなどを用いるようにしてもよい。また、アクティブマトリックス基板は、画素電極に対向する共通電極を有する、所謂、平面型のものでもよい。また、シール材中には、シリカスペーサのみならず樹脂スペーサを混入することもできる。さらに、液晶が封入されたアクティブマトリックス基板と対向基板間に分散するスペーサは、全てを樹脂スペーサとする、全てをシリカスペーサとする、あるいは樹脂スペーサとシリカスペーサを混入する、のいずれとすることもできるものである。

【0032】

【発明の効果】以上説明したように、請求項1に記載の発明によれば、シール材を静電保護素子の少なくとも一部と重なる位置に設けているので、液晶表示素子のサイ



ズを小さくすることができる。また、シール材中に、ある圧縮特性を有する材料からなる球状のスペーサを混入させているので、両基板を貼り合わせる際の圧力が加わっても、シール材と重ねられた静電保護素子が押しつぶされにくく破壊されにくいようにすることができる。また、請求項5に記載の発明によれば、シール材を内蔵型のスイッチング素子制御回路部の少なくとも一部と重なる位置に設けているので、液晶表示素子のサイズを小さくすることができる。また、シール材中に、ある圧縮特性を有する材料からなる球状のスペーサを混入させているので、両基板を貼り合わせる際の圧力が加わっても、シール材と重ねられた内蔵型のスイッチング素子制御回路部が押しつぶされにくく破壊されにくいようにすることができる。

#### 【図面の簡単な説明】

【図1】この発明の第1実施形態におけるアクティブマトリックス型液晶表示素子の一部の等価回路的透過平面図。

【図2】図1に示すアクティブマトリックス型液晶表示素子の一部の断面図。

【図3】この発明の第2実施形態におけるアクティブマトリックス型液晶表示素子の一部の等価回路的透過平面図。

【図4】図4に示すアクティブマトリックス型液晶表示

素子の一部の断面図。

【図5】スペーサの圧縮特性を示す図。

【図6】従来のアクティブマトリックス型液晶表示素子の一部の等価回路的透過平面図。

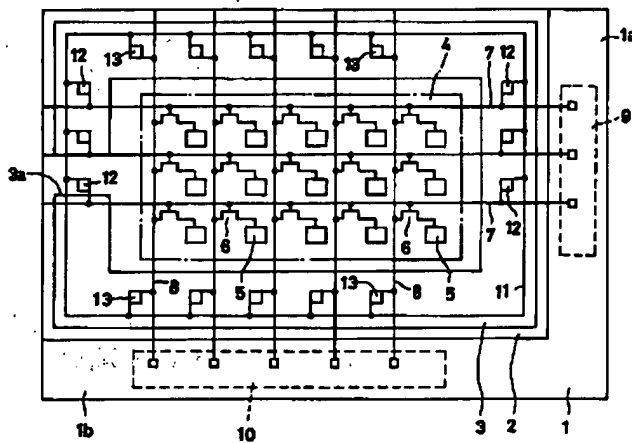
【図7】図6に示すアクティブマトリックス型液晶表示素子の一部の断面図。

【図8】図6に示すアクティブマトリックス型液晶表示素子の他の一部の断面図。

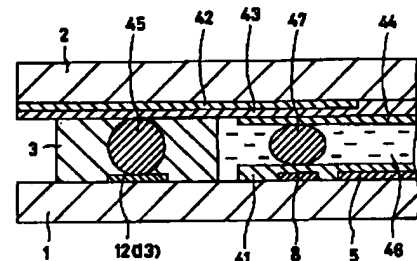
#### 【符号の説明】

- |       |               |            |
|-------|---------------|------------|
| 1     | アクティブマトリックス基板 |            |
| 2     | 対向基板          |            |
| 3     | シール材          |            |
| 4     | 表示領域          |            |
| 5     | 画素電極          |            |
| 6     | 薄膜トランジスタ      |            |
| 7     | 走査ライン         |            |
| 8     | データライン        |            |
| 11    | 短絡ライン         |            |
| 12、13 | 静電保護素子        |            |
| 20    | 45            | スペーサ       |
|       | 46            | 液晶         |
|       | 47            | スペーサ       |
|       | 51            | 走査信号制御回路部  |
|       | 52            | データ信号制御回路部 |

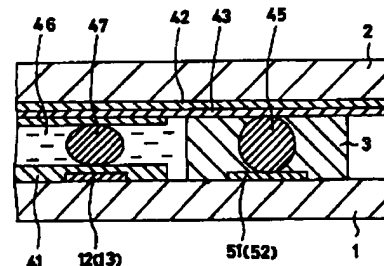
【図1】



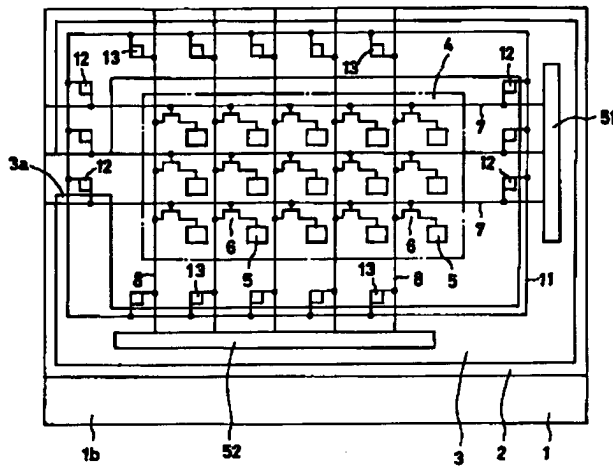
【図2】



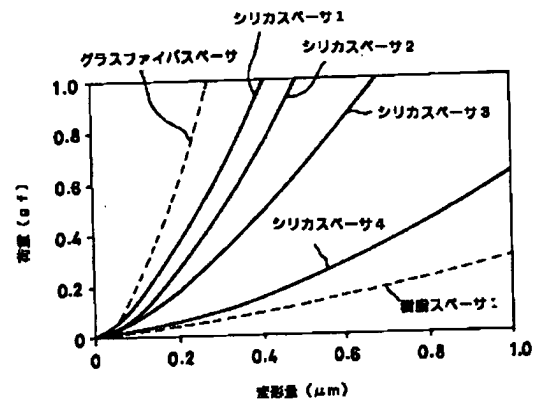
【図4】



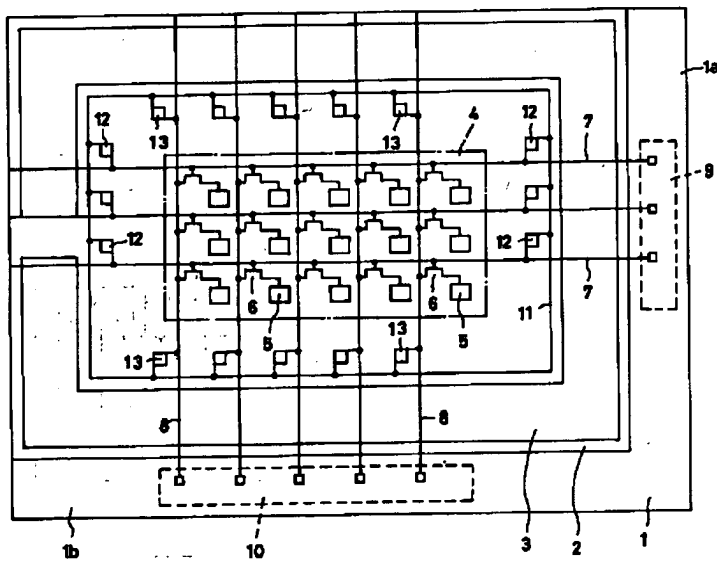
【図3】



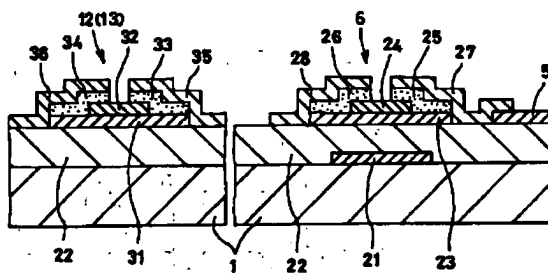
【図5】



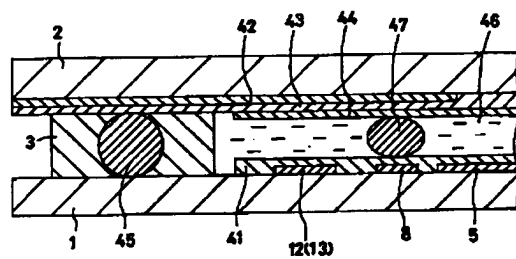
【図6】



【図7】



【図8】



## フロントページの続き

(51)Int. Cl.<sup>7</sup>

識別記号

F I

タームコード(参考)

H 0 1 L 21/336

H 0 1 L 29/78

6 2 3 Z

Fターム(参考) 2H089 LA08 LA41 NA06 NA09 NA24

QA11 QA14 TA04 TA07 TA09

TA12

2H092 JA26 JA34 JA37 JA41 JA47

JB01 JB79 KA05 NA25 PA02

PA03 PA04 PA08

5C094 AA15 AA47 BA03 BA43 CA19

DA07 HA08

5F110 AA22 AA26 BB01